

Digitales Hardwaredesign mit VHDL und FPGAs

Für digitales Hardwaredesign mit FPGAs ist VHDL mittlerweile eine unverzichtbare Programmiersprache. Ihr Einsatz ermöglicht eine erhebliche Verkürzung der Entwicklungszeiten sowie eine „Portierung“ des einmal entwickelten Programmcodes auf beliebige FPGAs/PLDs bis hin zur ASIC-Entwicklung.

Ziel der Weiterbildung

Das Ziel des Seminars ist eine praxisorientierte VHDL-Grundlagenschulung. Sie lernen die wesentlichen VHDL-Konstruktionen kennen, die für die Entwicklung von digitaler, synchroner Hardware benötigt werden. Ferner wird gezeigt, wie Korrektheit und Funktionalität des VHDL-Codes durch Simulationen überprüft werden können. Anhand von vielen praktischen Beispielen lernen Sie auch mögliche Fallstricke kennen, so dass Sie durch das Seminar Ihre Einlernphase für VHDL erheblich verkürzen.

Beginn:

Mittwoch, 15. Mai 2024, 08:45 Uhr

Ende:

Freitag, 17. Mai 2024, 16:45 Uhr

Veranstaltungsort:

Ostfildern

Deutschland

Website & Anmeldung:

<https://www.tae.de/33364.00.033>